

PAT-NO: JP02002299261A
DOCUMENT-IDENTIFIER: JP 2002299261 A
TITLE: SEMICONDUCTOR WAFER AND MANUFACTURING METHOD
THEREFOR
PUBN-DATE: October 11, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
KIMURA, MASAKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHIN ETSU HANDOTAI CO LTD	N/A

APPL-NO: JP2001101357

APPL-DATE: March 30, 2001

INT-CL (IPC): H01L021/205, C30B029/40 , H01S005/323

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor wafer and a manufacturing method therefor, with which As materials of harmful materials are not used, or even if using them, the quantity to be used is reduced as little as possible and a compound semiconductor film of satisfactory crystallinity is epitaxially grown on a silicon crystal wafer, while reducing lattice defects.

SOLUTION: In the semiconductor wafer 1, with which a compound crystal layer 4 is formed on the silicon crystal wafer 2, and the manufacturing method therefor, an SiGe crystal layer 3 is formed on the surface of the silicon crystal wafer 2, the surface side of the SiGe crystal layer 3 is made porous, and the compound crystal layer 4 is formed on the surface of the

porous SiGe
crystal layer.

COPYRIGHT: (C) 2002, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-299261

(P2002-299261A)

(43) 公開日 平成14年10月11日 (2002. 10. 11)

(51) Int. Cl. ⁷	識別記号	FI	テマコード(参考)
H 0 1 L 21/205		H 0 1 L 21/205	4 G 0 7 7
C 3 0 B 29/40	5 0 2	C 3 0 B 29/40	5 0 2 H 5 F 0 4 5
H 0 1 S 5/323		H 0 1 S 5/323	5 F 0 7 3

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願2001-101357(P2001-101357)

(22) 出願日 平成13年3月30日 (2001. 3. 30)

(71) 出願人 000190149

信越半導体株式会社

東京都千代田区丸の内1丁目4番2号

(72) 発明者 木村 雅規

群馬県安中市磯部2丁目13番1号 信越半

導体株式会社半導体磯部研究所内

(74) 代理人 100102532

弁理士 好宮 幹夫

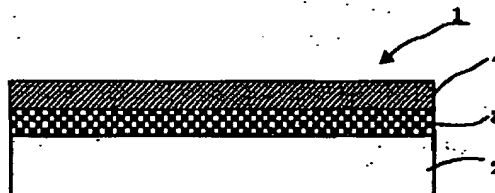
最終頁に続く

(54) 【発明の名称】 半導体基板及びその製造方法

(57) 【要約】 (修正有)

【課題】 有害物質であるAs材料を使用することなく、あるいは使用するとしても可能な限り少なくし、シリコン結晶基板上に格子欠陥が少なく結晶性の良い化合物半導体膜をエピタキシャル成長させた半導体基板及びその製造方法を提供する。

【解決手段】 シリコン結晶基板2上に化合物結晶層4を形成した半導体基板1であって、前記シリコン結晶基板2の表面上にSiGe結晶層3が形成され、該SiGe結晶層3の表面側が多孔質化しており、該多孔質SiGe結晶層の表面に化合物結晶層4が形成されてなるものであることを特徴とする半導体基板1及びその製造方法。



【特許請求の範囲】

【請求項1】 シリコン結晶基板上に化合物結晶層を形成した半導体基板であって、前記シリコン結晶基板の表面上にSiGe結晶層が形成され、該SiGe結晶層の表面側が多孔質化しており、該多孔質SiGe結晶層の表面に化合物結晶層が形成されてなるものであることを特徴とする半導体基板。

【請求項2】 請求項1に記載の半導体基板であって、前記化合物結晶層がInP結晶層であることを特徴とする半導体基板。

【請求項3】 シリコン結晶基板上に化合物結晶層を形成した半導体基板の製造方法であって、シリコン結晶基板の表面上にSiGe結晶層を形成させ、該SiGe結晶層の表面を多孔質化した後、該多孔質SiGe結晶層の表面に化合物結晶層を形成させることを特徴とする半導体基板の製造方法。

【請求項4】 前記シリコン結晶基板上に形成した前記SiGe結晶層に、酸化と酸化膜除去の工程を1回以上施し、その後該SiGe結晶層の表面を多孔質化することを特徴とする請求項3に記載の半導体基板の製造方法。

【請求項5】 前記シリコン結晶基板としてSOI基板を用いることを特徴とする請求項4に記載の半導体基板の製造方法。

【請求項6】 前記SiGe結晶層を形成する前に、前記シリコン結晶基板の表面を多孔質化することを特徴とする請求項3乃至請求項5のいずれか1項に記載の半導体基板の製造方法。

【請求項7】 前記化合物結晶層としてInP結晶層を形成することを特徴とする請求項3乃至請求項6のいずれか1項に記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体基板とその製造方法に関するものであり、さらに詳しくは半導体レーザーや電子デバイス用の基板材料として使用される化合物結晶層を備えた半導体基板とその製造方法に関するものである。

【0002】

【従来の技術】化合物結晶層を備えた半導体基板として化合物半導体基板があり、該化合物半導体結晶基板は、発光ダイオードあるいはレーザーダイオード等の光デバイスや通信用高速電子デバイスなどの材料として期待された半導体材料である。特にレーザーダイオードは光通信システムの発光源として使用され、高速電子デバイスと共に情報化社会の成長に向けて大量に必要とされている。

【0003】一般に、化合物半導体結晶基板は、高圧雰囲気下で液体封止チョクラルスキー法によってその単結晶を成長させて単結晶インゴットを得て、その後スライ

ス、面取り、ラッピング、エッチング、研磨、洗浄等の基板加工工程を経て製造される。しかし、化合物単結晶を成長させる際、双晶や転位などの結晶欠陥が発生しやすく、また成長できる結晶直径はGaAs単結晶の直径は6インチ程度、InP単結晶に至っては3インチ以下しか量産レベルに到達していない。またInP単結晶は他の半導体結晶よりも柔らかいため、単結晶インゴットを得た後にスライス、研磨といった基板加工を施す際、基板が割れやすいことなどから基板加工における歩留まりが低い。このため、InP等の化合物半導体基板の製造はコストが高く、生産性が低いことが問題であった。

【0004】このような問題を解決するために、シリコン単結晶基板上にInPなどの化合物半導体結晶層をエピタキシャル成長させて半導体基板を得る方法が提案されてきた。シリコン単結晶は安価で、機械的強度に優れ且つ大きな熱伝導率を有しており、さらに直径6インチ以上の基板を容易に生産できる利点がある。従って、シリコン基板上にInPやGaAs等の化合物半導体結晶層を結晶性良くエピタキシャル成長できれば、安価なレーザーダイオードや高速電子デバイスの作製が可能となる。一般に、化合物半導体をエピタキシャル成長する方法として、有機金属気相成長（以下、MOVPEと言う）法、分子線エピタキシー（以下、MBEと言う）法などが知られている。

【0005】図2に、このようなシリコン結晶基板上に化合物結晶層が形成された半導体基板の断面図を示す。この半導体基板6は、シリコン結晶基板2の表面に多孔質化したシリコン結晶層5を形成し、この上に化合物結晶層4をエピタキシャル成長させた半導体基板である。しかし、このようにエピタキシャル成長によってシリコン結晶基板上に化合物結晶層4を成長させた場合、両者の格子定数の違いにより内部応力が発生し、化合物結晶層4に転位が発生する。たとえば、格子定数が5.431Åであるシリコン基板上に格子定数が5.653ÅのGaAsを成長させる場合、Siに比べGaAsの格子定数は約4%程度大きいため、化合物結晶層4内に圧縮応力が働き、膜圧が厚くなるにつれて転位が発生する。シリコン基板の表面を多孔質化したシリコン結晶層5とすることである程度歪みを緩和できるが、歪みを吸収しきれずに転位が発生し、デバイスに応用することが非常に困難であった。

【0006】このような問題に対する対策として、シリコン結晶基板上にシリコン多孔質層を形成し、続いてMOVPE法などによって成長温度を3段階に分けSiとGaAsとの格子不整を緩和するためのGaAsよりなる第一のバッファ層、GaAs活性層の結晶性の再現性を良くするためのGaAsよりなる第二のバッファ層、GaAs活性層の順に形成する方法、また特開平10-229034号にみられるように、シリコン結晶基板上にシリコン多孔質層を形成し、前記多孔質層の上面に薄

いシリコン結晶層をCVD法によって形成し、該シリコン結晶層の上にGaAs、InP等を形成する方法等が提案されてきた。これらのようにGaAsよりなるバッファ層を成膜することや、またシリコン結晶基板の表面を多孔質化し、その後薄いSi層を形成する方法は、格子不整を緩和させる有効な方法である。

【0007】

【発明が解決しようとする課題】しかしながら、上述の半導体基板製造方法には以下のような問題がある。まず、GaAs活性層を成長させる場合にはもちろんのこと、InP活性層を形成する場合にも、Siとの格子不整を緩和するためには、GaAsをバッファ層として厚く成長させる必要がある。しかし、GaAsの構成元素であるAsは有害物質である。したがって、環境安全の観点からGaAsを活性層とする半導体基板の場合であっても可能な限りGaAs材料を少なくすべきであり、InPを活性層とするデバイスにあってはGaAsを用いたバッファ層を使用しないことが良いことは言うまでもない。

【0008】また、GaAsをバッファ層として形成してもSiとの格子不整の緩和は十分でなく、バッファ層に転位が形成され、活性層の形成時に伝播する場合がある。特にGaAsバッファ層の上にInP活性層を形成する場合には、GaAsとInPの両者の格子不整も作用しGaAsバッファ層から転位が伝播しやすくなる。このような問題は薄いSi層をバッファ層として形成する場合にも同様であり、GaAs層、InP層との格子不整は十分には緩和されず、これらの層に転位が発生する場合があった。

【0009】さらに、前記化合物結晶層を成長する際の昇温・降温、または化合物結晶層の成長が終了し基板温度を下げる際の降温で、化合物結晶層とシリコン結晶層との熱膨張係数の違いにより化合物結晶層内に熱応力が働く。このため、化合物結晶層は反った状態になり、該化合物結晶層の膜厚が厚い場合にはクラックが発生することがあった。

【0010】本発明は上記問題点に鑑みて為されたものであり、本発明の目的は、有害物質であるAs材料を使用することなく、あるいは使用するとしても可能な限り少なくし、シリコン結晶基板上に格子欠陥が少なく結晶性の良い化合物半導体膜をエピタキシャル成長させた半導体基板及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明によれば、シリコン結晶基板上に化合物結晶層を形成した半導体基板であって、前記シリコン結晶基板の表面上にSiGe結晶層が形成され、該SiGe結晶層の表面側が多孔質化しており、該多孔質SiGe結晶層の表面に化合物結晶層が形成されてなるものであることを特徴とする半導体基板が提供される（請求項

1）。

【0012】このように、Siに比べてGaAsやInP（格子定数：5.869Å）の格子定数により近い格子定数を有するGe（格子定数：5.657Å）を含むSiGe結晶層が、シリコン結晶基板と化合物結晶層の間に形成された半導体基板であれば、基板内の格子不整が小さく結晶性の良い化合物結晶層が形成された半導体基板とすることができる。また、前記SiGe結晶層は多孔質化しているため、該SiGe結晶層の弾性変形可能な歪み範囲が広くなり、前記化合物結晶層を成長する際の昇温・降温に伴う前記シリコン基板と前記化合物結晶層との熱膨張係数差による基板面に平行な方向の歪みを吸収できる半導体基板とすることができる。

【0013】この時、前記化合物結晶層が、InP結晶層であることが好ましい（請求項2）。このように、本発明では、シリコン結晶基板上に結晶性の良いInP結晶層を成長させた半導体基板を提供することができる。

【0014】また、本発明によれば、シリコン結晶基板上に化合物結晶層を形成した半導体基板の製造方法であって、シリコン結晶基板の表面上にSiGe結晶層を形成させ、該SiGe結晶層の表面を多孔質化した後、該多孔質SiGe結晶層の表面に化合物結晶層を形成させることを特徴とする半導体基板の製造方法が提供される（請求項3）。

【0015】このように、シリコンに比べて活性層として形成される化合物半導体の格子定数により近い格子定数を有するSiGe結晶層をシリコン結晶基板の表面上に形成することによって、シリコン結晶と化合物単結晶の格子定数差を緩和することができ、また該SiGe結晶層を多孔質化することによって、Si基板と化合物結晶層の熱膨張係数差に伴う歪みを緩和することができる。その結果、結晶性の良い化合物結晶層をエピタキシャル成長させた半導体基板を製造することができる。

【0016】この場合、前記シリコン結晶基板上に形成した前記SiGe結晶層に、酸化と酸化膜除去の工程を1回以上施し、その後該SiGe結晶層の表面を多孔質化することが好ましい（請求項4）。

【0017】このように、シリコン結晶基板上にSiGe結晶層を形成した後、該結晶層表面に対して酸化・酸化膜除去を施すことによって、SiGe結晶層中のGe比率が高くなり、それによって、SiGeの格子定数はGaAsやInPの格子定数に近づき、より格子整合を取りやすくすることができる。

【0018】また、この時、前記シリコン結晶基板としてSOI基板を用いることができる（請求項5）。シリコン結晶基板としてSOI基板を用いた場合、酸化・酸化膜除去により内部に押し込められたGe原子が、前記SOI基板の埋め込み酸化膜によって拡散することが遮られることによってSiGe層に蓄積され、Ge濃度の高いSiGe結晶層を効率良く得ることができる。

【0019】さらに、前記SiGe結晶層を形成する前に、前記シリコン結晶基板の表面を多孔質化することが好ましい（請求項6）。

【0020】このようにシリコン結晶基板の表面も多孔質化しておくことにより、多孔質層がシリコン結晶基板とSiGe結晶層の格子定数の差による歪みを緩和するため、あらかじめGeの組成比が高く格子定数の大きいSiGe層を成長させることができる。

【0021】また、前記化合物結晶層として、InP結晶層とすることができる（請求項7）。このように、本発明の半導体基板の製造方法によって、シリコン基板上に結晶性の良いInP結晶層を成長させた半導体基板を製造することができる。

【0022】以下、本発明についてさらに詳細に説明するが、本発明はこれらに限定されるものではない。

【0023】本発明者等は、Si結晶と前記3-5属化合物結晶の格子定数差を緩和する材料について鋭意調査した。その結果、Ge結晶の格子定数が5.657ÅとGaAs並に大きく、しかもSiとGeは任意の組成を取りうるため、Siに比べて、活性層として形成する化合物半導体の格子定数により近い格子定数を有するSiGeバッファ層を容易に形成できることに着目し、検討を重ねることにより本発明を完成するに至った。

【0024】すなわち、シリコン結晶基板の表面にSiGe結晶層を成長させた後、前記SiGe結晶層の表面を多孔質化し、前記多孔質SiGe結晶層表面に化合物結晶層を成長させることにより、Siに比べてGaAsやInPに格子定数がより近づき、半導体基板内の格子不整を小さくすることができる。ここで、SiGe結晶層中のGeの組成比率をxとすると、一般に $Si_{1-x}Ge_x$ と記述するが、本発明では総称してSiGeと記述する。尚、SiGe結晶層をシリコン結晶基板の表面に成長させる際に、Geの組成比率を除々に増加させても良いし、成長の初期から目的の比率としても良い。

【0025】また、SiGe結晶層を多孔質化することによって、該SiGe結晶層の弾性変形可能な歪み範囲を広くことができ、前記化合物結晶層を成長する際の昇温・降温、または成長後に基板の温度を下げる際の降温に伴うシリコン結晶基板と化合物結晶層との熱膨脹係数差による基板面に平行な方向の歪みも吸収することができる。その結果、前記シリコン結晶基板上に格子欠陥が少なく結晶性の良い化合物半導体膜をエピタキシャル成長させることができる。

【0026】この時、前記SiGe層を形成した後、該SiGe層に対して酸化・酸化膜除去を施すとSiGe結晶層中のGe比率を高くすることができる。酸化によりSiGe層中のGe濃度が高くなる理由は次のように説明される。まず、酸化によってSiGe表面が酸化されると SiO_2 膜が形成され、SiGe側に圧縮応力が働き、Siより共有結合半径の大きいGe原子を押し出

そうとする。しかし、Geは SiO_2 膜中に拡散しないので、 SiO_2 膜とは反対側に拡散する。その結果、SiGe層中のGe濃度が高くなる。酸化膜を形成した後、フッ酸溶液などにより表面を処理すると SiO_2 膜が除去され、Ge濃度の高くなったSiGe層が現れる。この様に前記SiGe結晶層中のGe濃度が高くなることによって、SiGeの格子定数がGaAsやInPの格子定数により近づくため、半導体基板内の格子整合はより取りやすくなる。

10 【0027】また、前記酸化・酸化膜除去工程は複数回繰り返すことにより、さらにSiGe結晶層中のGe濃度を高くすることができ、効果的である。この場合、シリコン結晶基板としてSOI（Silicon On Insulator）基板を用いることが好ましい。これによって酸化・酸化膜除去により内部に押し込まれたGe原子が前記SOI基板の埋め込み酸化膜に遮られ内部に拡散しないことから、SiGe層に効率的に蓄積されるため、効率的にGe濃度を高めることができる。

20 【0028】また、SiGe結晶層を形成する前にシリコン結晶基板の表面を多孔質化しておくようにしても良い。通常、シリコン結晶基板の表面に形成するSiGe層のGeの組成比が高くなればなるほど、格子定数の違いにより転位が発生しやすくなる。しかし、シリコン基板表面に多孔質層を形成することによりシリコン結晶基板とSiGe結晶層の格子定数の差による歪みを緩和ことができ、Geの組成比が高く格子定数の大きいSiGe結晶層を成長させることができる。そのため酸化・酸化膜除去の回数を少なくすることができ、効率的にGe組成比を高くすることができる。

30 【0029】

【発明の実施の形態】本発明について、図面を用いて詳しく説明する。図1は、本発明によるシリコン基板上に化合物半導体結晶層を形成した半導体基板1の断面図である。

40 【0030】まず、シリコン結晶基板2の表面にSiGe結晶層3をCVD法によって成長させる。原料ガスはゲルマン、シランである。ドーパントガスを導入することによってリン、ボロン等をドーピングしても良い。SiGeの格子定数はSiとGeの濃度比によって左右され、ゲルマニウムの組成比が高くなるほど格子定数は大きくなり、GaAsやInPの格子定数に近づく。しかし、Ge濃度比を大きくし過ぎると無欠陥で成長できる成長層の厚さが数100Å程度に限られるため、Ge/Siが0.2~0.5の範囲で成長させるのが妥当である。

50 【0031】この時、事前にシリコン結晶基板2の表面を多孔質化しておくのが好ましい。これによって、あらかじめGe組成比の高いSiGe結晶層を形成させることができる。SiGe結晶層の格子定数は化合物半導体の格子定数に近い値を有し、半導体基板内の格子不整を小さくするのに有効であるが、さらにSiGeの表面に

対し酸化・酸化膜除去を施すことが好ましい。こうすることにより、SiGe層中のGe原子が濃縮され、さらに格子整合が取りやすくなる。また、前記酸化・酸化膜除去を繰り返し行い、その回数に応じてGe濃度を高くすることができる。

【0032】次に、SiGe表面を陽極酸化法を用いて多孔質化する。陽極酸化法はたとえば、HFとアルコール1:1の混合液中に基板を浸し、約10mA/cm²の電流を約10分間流す方法で行えば良い。SiGe基板がp型のときは光を照射しないが、n型の時には照射

【0033】次に、多孔質化したSiGe結晶層3の表面上にMOVPE法またはMBE法を用いて、GaAsまたはInP等の化合物結晶の活性層4を形成する。この時、従来法で説明されているように成長温度を段階的に高くする3段階成長により、第1のバッファ層、第2のバッファ層、活性層という順に成膜しても良い。

【0034】以上の方法により、Siに比べてGaAsあるいはInP等の化合物結晶とより格子整合の取りやすいSiGe結晶層をバッファ層として形成することができ、また、その表面の多孔質化により熱膨張係数差に伴う歪みを緩和することができるため、転位等の格子欠陥が少なく、結晶性のよいGaAsあるいはInP等の化合物結晶層をエピタキシャル成長させることができる。

【0035】

【実施例】以下、実施例及び比較例を示して本発明をより具体的に説明するが、本発明はこれらに限定されるものではない。

(実施例1) 直径6インチ、N型で面方位(100)のシリコン単結晶ウェーハを用意し表面を洗浄する。洗浄方法としては、アンモニア水溶液と過酸化水素水溶液の混合液により洗浄し、水洗した後、HF洗浄により酸化膜を除去して、水洗・乾燥を行った。SiGe結晶層の形成にはCVD装置を用いた。原料ガスとしてSiH₄とGeH₄を用い、N型ドーパントガスとしてPH₃ガスを反応炉内に供給した。70℃/秒の昇温速度で800℃まで昇温し、約1ミクロン程度の膜厚のP型Si-Ge混晶薄膜を形成した。

【0036】次に形成されたSiGe表面を陽極酸化法を用いて多孔質化した。HFとアルコールの1:1混合液中に基板を浸し、光を照射しながら10mA/cm²の電流を10分間流した。陽極酸化終了後、水洗・乾燥を行った。続いて、MOVPE法によって、TMGa(トリメチルガリウム)とAsH₃を原料ガスとして、900℃で多孔質SiGe表面にGaAsを約5ミクロン成長させた。

【0037】(比較例1) 実施例1と同じように、直径6インチ、N型で面方位(100)のシリコン単結晶ウェーハを準備した。次にシリコン単結晶基板の表面に

し、実施例1と同じ方法で陽極酸化法を用いて多孔質化した。陽極酸化終了後、水洗・乾燥を行った。続いて、MOVPE法によって、TMGa(トリメチルガリウム)とAsH₃を原料ガスとして、900℃で多孔質Si表面にGaAsを約5ミクロン成長させた。

【0038】実施例1におけるSiGe結晶層中のGeの組成比を測定したところ0.25であった。また、GaAs活性層中の転位密度をKOHの融液(450℃程度)でエッチングした後に、光学顕微鏡によって測定したところ、比較例1によるGaAs活性層中の転位密度に比べて約1/10程度と低かった。

【0039】(実施例2) 実施例1と同じように、直径6インチ、N型で面方位(100)のSiウェーハ表面にSiGe結晶層を形成し、該SiGe結晶層を実施例1と同じ方法で陽極酸化し多孔質化した。陽極酸化終了後、水洗・乾燥を行った。続いて、MOVPE法によって、TMIn(トリメチルインジウム)とPH₃を原料ガスとして、900℃で多孔質SiGe表面にInP結晶層を約5ミクロン成長させた。

【0040】(比較例2) 実施例1と同じように、直径6インチ、N型で面方位(100)のSiウェーハを準備した。次にSi表面を陽極酸化法を用いて多孔質化した。HFとアルコール1:1の混合液中に基板を浸し、光を照射しながら10mA/cm²の電流を10分間流した。陽極酸化終了後、水洗・乾燥を行った。続いて、MOVPE法によって、TMIn(トリメチルインジウム)とPH₃を原料ガスとして、900℃で多孔質Si表面にInPを約10ミクロン成長させた。

【0041】実施例2におけるSiGe結晶層中のGeの組成比を測定したところ0.26であった。また、InP結晶層中の転位密度を実施例1と同様に測定したところ、比較例2によるInP活性層中の転位密度に比べて約1/7程度と低かった。

【0042】(実施例3) 実施例1と同じように、直径6インチ、N型で面方位(100)のSiウェーハ表面にSiGe結晶層を形成した。その後、酸化雰囲気中1000℃で1時間の熱処理によりSiGe表面を酸化した。その後基板をHF水溶液に浸し、酸化膜を除去し、水洗後乾燥させた。次に実施例1と同じ要領でSiGe表面を陽極酸化して多孔質化した後、約10μmの厚さのInP結晶層を成長させた。

【0043】実施例3におけるSiGe結晶層中のGeの組成比を測定したところ0.48であった。また、InP結晶層中の転位密度を実施例1と同様に測定したところ、比較例2によるInP活性層中の転位密度に比べて約1/15程度と低かった。

【0044】なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いか

なるものであっても本発明の技術的範囲に包含される。

【0045】例えば、上記では形成させる化合物結晶層としてInP、GaAsを例示したが、GaP、GaAsP等の化合物結晶を形成させる場合にも本発明は適用できる。

【0046】

【発明の効果】以上説明したように、シリコン結晶基板の表面にSiより大きい格子定数を有するSiGe結晶層を成長させることにより、GaAsやInP等の化合物結晶層との格子不整を小さくすることができ、さらにSiGe層を多孔質化することにより、前記化合物結晶層とシリコン結晶基板との熱膨張係数差に伴う歪みも吸収することができる。その結果、シリコン単結晶基板上に

格子欠陥が少なく結晶性の良い化合物半導体結晶層をエピタキシャル成長させた半導体基板を提供することができる。

【図面の簡単な説明】

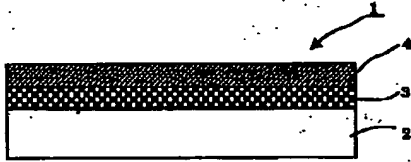
【図1】本発明によるシリコン結晶基板上に化合物結晶層が形成された半導体基板の断面図の一例である。

【図2】従来法によるシリコン結晶基板上に化合物結晶層が形成された半導体基板の断面図である。

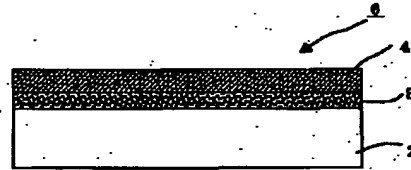
【符号の説明】

10 1…半導体基板、2…シリコン結晶基板、3…表面側を多孔質化したSiGe結晶層、4…化合物結晶層（活性層）、5…多孔質化したSi結晶層、6…半導体基板。

【図1】



【図2】



フロントページの続き

Fターム(参考) 4G077 AA03 BE44 DB01 ED06 EF02
TC13 TC17
5F045 AA04 AB01 AB12 AC01 AC08
AD13 AF03 AF11 BB12 CA10
CA12 DA53 DA67 DA69 HA02
5F073 AA51 CA04 CA12 CB04 DA04
DA05 DA28 DA35